

Connecting From Last Mile to First Mile."

Document annex a la pràctica 2.







Procediment a seguir

- Determinar les necessitats del sistema
- Escollir els mòduls a fer servir
- Ubicar-los adequadament
- Seleccionar els paràmetres globals i dels mòduls
- Definir el pin-out del dispositiu
- Generar l'aplicació
- Revisar el programa per si hi ha error
- Fer proves



Necessitats del projecte

Fer parpellejar dos leds a 2Hz, amb un duty cycle del 40% i el 20%.

Implementació:

Crear un MCU amb dos PWM:

- Seleccionar dos UM del tipus PWM
- Escollir els paràmetres del PWM
- Inicialitzar els rellotges globals
- Connectar les sortides del PWM als leds



El nostre disseny





Creem el projecte

Engeguem el PSoC Designer 4.4 Cliquem "Start new project" Seleccionem "Create New Project" Nomenem el projecte

Start	×
E Start new project	
Open existing project	
Project name and location:	
C:\Windows\Desktop\	Browse
New Project	٢
Select method:	New project name:
Create New Project	GettingStarted
Clone Project	New project location:
	C:\Windows\Desktop\ Browse
PSoC Designer	
Directory C:\WINDO\	WS\Desktop\GettingStarted does not exist.
Do you want to create	e it?
Yes	<u>No</u>
< Back	Next > Cancel Help



Seguim amb la creació

Seleccionem el model

- Farem servir el CY8C29466PXI 28-Pin
- observem el menú desplegable, amb tots el models

Create New Project X	🗯 Select Base Part							×
	Select display layout							
	C Flat C One-level to	e (by generation)	 Multi-level tree (b) 	v part family)				
	Part Number	Analog Blocks	Digital Blocks	IO Pin Count	Package Numbers	Package Outline	RAM ROM	
C Select Base Part	E \$ P5₀C E \$ CY8C25000	10		c	C/0C2E122 24DL(D)D)	0 Dia Dualiatian	250 4000	
		12	8	ь	UY8U25122-24PI (DIP),	8-Pin Dual Inline	206 4036	Per(0,7 1987) 21VCC Per(0,5 2985) 27P(8) Per(0,5
Family: Part:		12	8	16	CY8C26233-24PI (DI	20-Pin Dual inline	256 8192	Partic) = 3P8[1] 28P8[4] = Port,0,4 Partic) = 4P8[7] 28P8[2] = Port,0,2
	CY8C26443	12	8	24	CY8C26443-24PI (DI	28-Pin Dual inline	256 16384	Pet 2,7 5927) 24 P(0) Pet 0,0
CY8C27000 CY8C27443 (28-Pin Dual inline) View Catalog	CY8C26643	12	8	44	CY8C26643-24PI (DI	48-Pin Dual inline	256 16384	Part 2.3 T P201 P00P 22 P201 P04.2.4
	CY8C26643A	12	8	40	CY8C26643-24AI (TQ	44-TQFP	256 16384	Per(2,1 0 P0(1) 2 P0(2) P0(2,2 1 SMP 2 P0(2) P0(2,2
	E 🕷 PSoC with CEA Analo	9						Part (1,7 10P(7) 10P(8) Part (1,6 11P(8) 10P(8) 10P(8)
	E \$ CY8C22000	2		c .	CX0C22112.24DL(D)	0 Die Duelliefere	250 2040	Page 2 12 12 12 12 12 12 12 12 12 12 12 12 1
	♥ C18C22113 ♠ CV9C22213	2	4	16	CT0C22113-24F1 (DI CV9C22212.24D1 (DI	20 Rin Dual Inline	206 2040	4V8 8P81 Pr4.1.5
Generate 'Main' file using:	@ CY8C22213	3	4	16	CY8C22213-24LFL/M	32-Pin MLF	256 2048	64GRU
	E 🏶 CY8C24000	-						Galant Is Galant Out
00	@ CY8C24123	6	4	6	CY8C24123-24PI (DI	8-Pin Dual inline	256 4096	Analogia
	CY8C24223	6	4	16	CY8C24223-24PI (DI	20-Pin Dual inline	256 4096	
	CY8C24423	6	4	24	CY8C24423-24PI (DI	28-Pin Dual inline	256 4096	
 Assembler 	@ CY8C24423A	6	4	24	CY8C24423-24LFI (M	32-Pin MLF	256 4096	
	E 🎇 CY8C27000							
	CY8C27143	12	8	6	CY8C27143-24PI (DIP),	8-Pin Dual inline	256 16384	
	CY8C27243	12	8	16	CY8C27243-24PI (DI	20-Pin Dual inline	256 16384	
	CY8C27443	12	8	24	CY8C27443-24PI (DI	28-Pin Dual inline	256 16384	
	CY8C27543	12	8	40	CY8C27543-24AI (TQ	44-TQFP	256 16384	
	♥ LY8L2/643	12	8	44	LY8L27643-24PVI (S	48-Pin Dual inline	256 16384	
	@ LY8L2/643A	12	8	44	UY8U27643-24LFI (M	48-Pin MLF	256 16384	
< Back Finish Cancel Help								
						Select	<< Part Image	1



Finalitzem la creació

Escollim el llenguatge del projecte

- Possibilitat d'escollir entre C i assembler
- Farem servir assembler

Create New Project		×
Select Base Part		
Family: F	Part:	
CY8C27000 🔽	CY8C27443 (28-Pin Dual inline) 💽 View Catalog	
– Gener	ata 'Maia' file using	
ucher		
	S Assembler	
		_
	< Back Finish Cancel Help	
_		



Seleccionem els mòduls



Fem servir "Mode of Device Editor"

- Podem agafar un model del catàleg.
- Observar els recursos que fa servir cada un.
- Veure el seu datasheet.

Seleccionem el mòdul

Anem a la pestanya PWM i seleccionem PWM16.

• Agafem un altre PWM16.



Ubicació de mòduls



Fem servir "Interconnect View"

- Agafem el UM block actiu.
- Podem moure la UM dins dels llocs disponibles.
- Ubiquem el mòdul.
- Desfem la ubicació.





Ubicació de mòduls



Es pot observar que la ubicació de cada mòdul, es restrictiva, i només els podem ubicar on el xip el pot suportar.

PSoC Designer no se n'adona dels possibles errors que puguin haver o conflictes d'ubicació.



Finalitzem la ubicació



Ubiquem els mòduls als següents llocs:

PWM16_1 – Digital Blocks al DBB00/DBB01 PWM16_2 – Digital Blocks al DBB10/DBB11



Es recomanable ubicar els PWM al "Basic Digital Blocks" per guardar lloc als "Digital Communication Blocks".



Configuració dels recursos generals

CPU_Clock: 12MHz

32K_Select: Internal

No fa servir rellotge extern

PLL_MODE: Disable

PLL només es fa servir quan

32K_Select es extern (cristall)

Sleep_Timer: 512_Hz. (Per defecte)

VC1 = SysClk/N: seleccionem el 16

Això divideix 24MHz per 16 = 1.5MHz

VC2 = VC1/N: Set to 16

Divideix VC1 by 16 (1.5MHz/16=94kHz)

VC3 Source: SysClk/1

VC3 Divider: 1

Global Resources		•
CPU_Clock	12_MHz (SysClk/2)	
32K_Select	Internal	10.00
PLL_Mode	Disable	12_19182.()
Sleep_Timer	512_Hz	
VC1= SysClk/N	16	
VC2= VC1/N	16	
VC3 Source	SysClk/1	
VC3 Divider	1	
Analog Power	SC On/Ref Low	
Pot Mun	0/dd/2), / RandGap	•



Configuració dels recursos generals

Analog Power: SC On/Ref Low

 Es fa servir per a alimentar els blocs analògics depenent del número de funcions que es fan servir. Es poden fer servir modes d'energia superior, però també consumirà més corrent.

Ref Mux: (V_{dd}/2) ±Bandgap (per defecte)

AGndBypass: Disabled

Op-Amp Bias: Low (per defecte)

A_Buff_Power: Low (per defecte)

 Selecciona el nivell d'energia del buffer analògic de sortida.

• El valor "Low" es adequat per a la majoria de projectes. SwitchModePump: OFF



Finalitzem la configuració dels recursos generals

Trip Voltage [LVD (SMP)]: 4.64V (5.0V) Supply Voltage: 5.0V SysClk Source: Internal 24_MHz SysClk*2 Disable: Enable



Configurem els mòduls d'usuari

PWM16_1: volem generar un duty cycle del 1/5



Podem configurar els mòduls des del GUI, o des de la finestra de parametrització de mòduls. Farem servir la segona opció.

- Seleccionem el Clock a VC2 (94kHz)
- Seleccionem Enable High per fer funcionar sempre el PWM
- Seleccionem CompareOut a Row_0_Output_0
- Seleccionem TerminalCountOut a None
- Seleccionem Period to 65535 (1.4Hz)
- Seleccionem PulseWidth to 13107
- Compare Type Less Then Or Equal
- Interrupt Type Terminal Count
- ClockSync to Sync a SysClk
- InvertEnable Seleccionem a Normal

PWM16_1		•
User Module Parameters		
Clock	VC2	
Enable	High	
CompareOut	Row_0_Output_0	
TerminalCountOut	None	
Period	65535	
PulseWidth	13107	-



Configurem els mòduls d'usuari

PWM16_2: volem generar un duty cycle del 2/5

- Seleccionem Clock a VC2 (94kHz)
- Seleccionem Enable High per fer funcionar sempre el PWM
- Seleccionem CompareOut a Row_1_Output_1
- Seleccionem TerminaCountOut a None
- Seleccionem Period a 65535 (1.4Hz)
- Seleccionem PulseWidth a 26214
- Compare Type Less Then Or Equal
- Interrupt Type Terminal Count
- ClockSync to Sync a SysClk
- InvertEnable Seleccionem a Normal

PWM16_2	•
User Module Parameters	<u> </u>
Clock	VC2
Enable	High
CompareOut	Row_1_Output_1
TerminalCountOut	None
Period	65535
PulseWidth	26214



Interconnexió de blocs amb els recursos

Què podem interconnectar?

- Data Inputs
- Data Outputs
- Clocks
- Block-to-block



Quan connectes un UM del Psoc amb un pin, realment s'està implementant una connexió físic amb el mateix.



Definició del pin-out



Quins s'han de definir?

- UM Inputs
- UM Outputs
- General Purpose IO



Porta PWM16_1 al pin 2_0:

- Connecta la sortida del PWM16_1al Row_0_Output_0
- Connecta el Row_0_Output_0 al GlobalOutEven_0





Finalitzem la interconnexió fent la unió entre el GlobalOutEven_0 i el pin 2_0. Fem que aquest pin estigui a STRONG (Drive) que permetrà comandar el LED amb '1' i '0' lògics essent el propi PSoC la font de corrent.





Fem el mateix amb la sortida del PWM16_2 per fer la interconexió

al pin 2_1.













Layout final





Finalització de la configuració

Guardem el projecte i el compilem per a que em generi les APIS de cada UM. També ens generarà automàticament el datasheet del nostre disseny.





Generació de l'aplicació

PSoC Designer genera el soft necessari per a la aplicació hard que ha de controlar. D'aquesta forma, genera les API's que controlen tots el UM que s'han afegit al pas anterior.

La finestra "Project File" que es troba a l'esquerra de l'eina mostra:

- Les rutines d'interrupció.
- Els fitxers capçalera.
- Els includes.







Fem l'aplicació

Obrim el fitxer PWM16_1.c Seleccionem la línia PWM16_1_Start i la peguem al main.c Fem el mateix amb el PWM16_2.c El codi ha de quedar de la següent forma:

void main() {
PWM16_1_Start();
PWM16_2_Start();

}



Compilació i linkat



El següent procediment és fer la compilació i linkament. Aquest procés permet de trobar errors als fitxers font i possibles incompatibilitats amb el sistema.





El pas final permet enviar el fitxer al emulador hard (ICE) o bé enviar el fitxer a la placa de execució (PSoCEval).



Connectem mitjançant fils els ports P2.0 i P2.1 amb els leds 1 I 2 corresponents, segons indica la transparència 2. Ha de quedar tal i com queda la figura de la dreta.





Comparació de famílies

	Flash Size	Ram Size	Pins	Analog Blocks	Digital Blocks	Hardware I ² C	CEA
8C25/26X	16KB	256	8,20,28,48	12	8	Ν	Ν
8C29X	32KB	2kB	8,20,28,48, 100	12	16	Y	Y
8C27X	16KB	256	8,20,28,48	12	8	Y	Y
8C24X	4KB	256	8,20,28	6	4	Y	Y
8C22X	2KB	256	8,20	3	4	Y	Y



Família 27X I 29X

Flexibilitat, Alta Integració SOC, preus competitius

Marketing Part No.	Flash (Kbytes)	RAM (Bytes)	SMP	Package	Pins
CY8C29466-24PxI	32	2k	yes	DIP	28
CY8C27143-24PI	16	256	No	DIP	8
CY8C27243-24PVI	16	256	Yes	SSOP	20
CY8C27243-24PVIT	16	256	Yes	SSOP (Tape and Reel)	20
CY8C27243-24SI	16	256	Yes	SOIC	20
CY8C27443-24SI	16	256	Yes	SOIC	24
CY8C27443-24PI	16	256	Yes	DIP	28
CY8C27443-24PVI	16	256	Yes	SSOP	28
CY8C27443-24PVIT	16	256	Yes	SSOP (Tape and Reel)	28
CY8C27543-24AI	16	256	Yes	TQFP	44
CY8C27643-24PVI	16	256	Yes	SSOP	48
CY8C27643-24PVIT	16	256	Yes	SSOP (Tape and Reel)	48